

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-329688
 (43)Date of publication of application : 13.12.1996

(51)Int.Cl.

G11C 16/06

(21)Application number : 07-131940
 (22)Date of filing : 30.05.1995

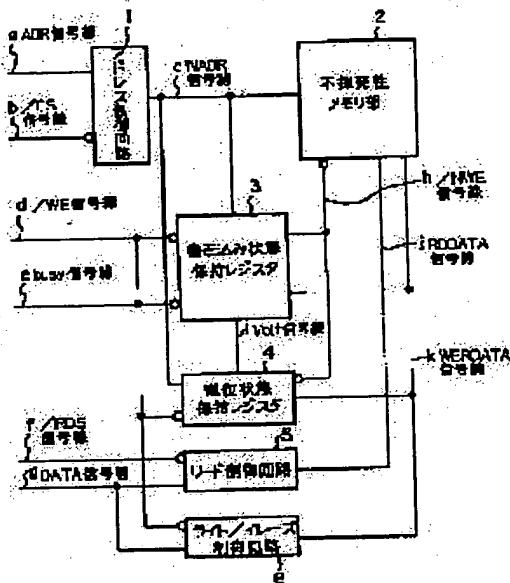
(71)Applicant : NEC CORP
 (72)Inventor : HIRANO NAOKI

(54) NONVOLATILE SEMICONDUCTOR STORAGE DEVICE

(57)Abstract:

PURPOSE: To prevent double writing to a nonvolatile memory section by comparing the input voltage to the potential condition holding register with the threshold value lower than that of the nonvolatile memory.

CONSTITUTION: When write data is written into a nonvolatile memory section 2 externally through a write/erase control circuit 6 and a WEDATA signal line k, write data is inputted into a potential condition holding register 4 through the signal line k to inject charge. Depending on whether the detected potential of this charge is above or below the threshold level of the register 4, the register is in the write condition or in the erase condition respectively, and the condition of writing is set to the register bit corresponding to the inputted address. By making the threshold level of the register 4 lower than that of the memory section 2, double writing is prevented for the writing cell of the memory section 2 which is limitlessly close to the write condition as the condition of writing of the memory 2.



LEGAL STATUS

[Date of request for examination] 30.05.1995

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number] 2701790

[Date of registration] 03.10.1997

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平8-329688

(43)公開日 平成8年(1996)12月13日

(51)Int.Cl.⁸
G 1 1 C 16/06

識別記号

府内整理番号

F I

G 1 1 C 17/00

技術表示箇所

3 0 9 F

審査請求 有 請求項の数3 O.L (全6頁)

(21)出願番号

特願平7-131940

(22)出願日

平成7年(1995)5月30日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 平野 直樹

東京都港区芝五丁目7番1号 日本電気株式会社内

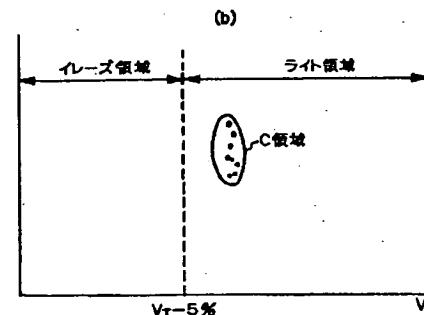
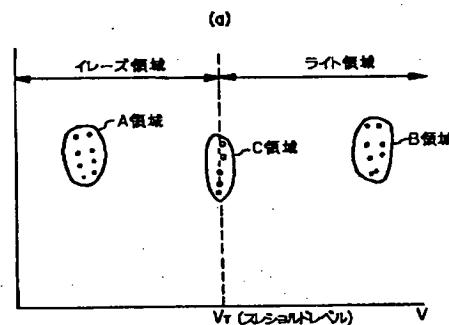
(74)代理人 弁理士 若林 忠

(54)【発明の名称】 不揮発性半導体記憶装置

(57)【要約】

【目的】 データの二度書きによる不揮発性メモリ I C の不安定状態、あるいは素子破壊の発生を防止することができる。

【構成】 外部からの不揮発性メモリ部へのデータの書き込みを、データが既に書き込まれているかどうかにより制御するためのしきい値を、不揮発性メモリ部における値よりも低い値を有する電位状態保持レジスタを具備する。



【特許請求の範囲】

【請求項1】 不揮発性メモリ部内にデータが書き込まれている状態での外部からのデータの書き込みが禁止される不揮発性半導体記憶装置であつて、

前記不揮発性メモリ部においてデータの書き込み状態を判断するしきい値となる第1のしきい値よりも低い値を第2のしきい値として有し、前記不揮発性メモリ部内の電荷の電位レベルが前記第2のしきい値を超えた場合に前記不揮発性メモリ部内にデータが書き込まれている状態であると判断する電位状態保持レジスタを具備することを特徴とする不揮発性半導体装置。

【請求項2】 データが書き込まれるための不揮発性メモリ部と、外部から前記不揮発性メモリ部にデータの書き込みが行われる際に、前記不揮発性メモリ部内の電荷の電位レベルがしきい値として設定される第1のしきい値を超えているかどうか判断し、超えている場合は前記不揮発性メモリ部へのデータの書き込みを禁止する書き込み状態保持レジスタとを有してなる不揮発性半導体記憶装置において、

前記第1のしきい値よりも低い値を第2のしきい値として有し、外部より前記不揮発性メモリ部にデータの書き込みが行われる際に、前記不揮発性メモリ部内の電荷の電位レベルが前記第2のしきい値を超えているかどうか判断し、超えている場合は前記不揮発性メモリ部へのデータの書き込みを禁止する電位状態保持レジスタを具備することを特徴とする不揮発性半導体記憶装置。

【請求項3】 請求項1または請求項2に記載の不揮発性半導体記憶装置において、

前記電位状態保持レジスタは、前記不揮発性メモリと異なる素子により構成されていることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は、不揮発性半導体装置に關し、特に、プログラムの暴走などによる二度書きを防止する不揮発性半導体装置に関する。

【0002】

【従来の技術】 従来より、ソフトウェアの暴走等による不揮発性のメモリICに対する二度書きを防止する対策として、メモリICにプロテクト用の端子を設けて高電圧を印加することにより、メモリICに対する書き込みを不可能にするという方法がとられている。

【0003】 しかし、上述した方法においては、メモリICに対して高電圧を印加するための制御がソフトウェアにより行われているので、ソフトウェアがガードを解いた後にソフトウェアの暴走等が発生した場合、上述した対策は無効となってしまい、チップの素子破壊等が発生してしまう虞れがある。

【0004】 また、高電圧を印加するため、メモリICを使用するボード上に通常時電圧と高電圧という2つの

電源系が設けられることになり、ボードの信頼性を著しく下げるにもつながってしまう。

【0005】 そこで、上述した点に改良を加えたメモリICとして、特開平5-67758号公報に開示されているものがある。

【0006】 図3は、特開平5-67758号公報に開示されているメモリICのブロック図である。

【0007】 図3に示すメモリICは、4つのブロック110~113に分割されたメモリセルアレイ11を有するフラッシュEEPROMであり、ソース線SLが各ブロックのそれぞれに設けられていて、それによりブロック単位でのデータ消去が可能となっている。さらに、各ブロック内には、データがすでに書き込まれているか、あるいはブロック内からデータが消去されているかを示す1ビットのデータを記憶している状態記憶回路200、210、220及び230が、ブロック110~113のそれぞれに対応して設けられている。

【0008】 上述した構成の本従来例では、任意のブロックに対するデータ書き換え及びデータ消去に先立つて、該ブロック内の電位レベルを検出することが行われ、これにより、該ブロック内にすでにデータが書き込まれているか、あるいは該ブロック内からすでにデータが消去されているかを短時間で確認することができ、誤ったデータ書き込みやデータ消去を防止することができる。

【0009】

【発明が解決しようとする課題】 不揮発性メモリICにおいては、書き込まれているデータの消去を行わない状態での新たな書き込み、すなわちデータの二度書きが行われた場合、素子内におけるデータの重複が発生し、一時的な不安定状態、あるいは最悪の場合は素子破壊を起こす虞れがある。

【0010】 上述した従来例においては、メモリセルに対してデータが書き込まれているか、あるいは消去されているかの状態を確認することができる状態記憶部が設けられている。

【0011】 しかしながら、状態記憶部が不揮発性メモリ部と同じ素子を用いて構成されているため、状態記憶部そのものがデータの二度書きによって不安定な状態に陥る虞れがある。また、ブロック内の電位レベルを検出することにより書き込み状態が判断されているため、検出レベルがスレッショルドレベル付近で消去状態と判断された場合、データが書き込まれた状態に近い場合であっても書き込みが行われてしまい、メモリICの不安定状態、あるいは素子破壊を起こす虞れがある。

【0012】 本発明は、上述したような従来の技術が有する問題点に鑑みてなされたものであって、データの二度書きによる不揮発性メモリICの不安定状態、あるいは素子破壊の発生を防止することができる不揮発性半導体記憶装置を提供することを目的とする。

【0013】

【課題を解決するための手段】上記目的を達成するためには、不揮発性メモリ部内にデータが書き込まれている状態での外部からのデータの書き込みが禁止される不揮発性半導体記憶装置であって、前記不揮発性メモリ部においてデータの書き込み状態を判断するしきい値となる第1のしきい値よりも低い値を第2のしきい値として有し、前記不揮発性メモリ部内の電荷の電位レベルが前記第2のしきい値を超えた場合に前記不揮発性メモリ部内にデータが書き込まれている状態であると判断する電位状態保持レジスタを具備することを特徴とする。

【0014】また、データが書き込まれるための不揮発性メモリ部と、外部から前記不揮発性メモリ部にデータの書き込みが行われる際に、前記不揮発性メモリ部内の電荷の電位レベルがしきい値として設定される第1のしきい値を超えていているかどうか判断し、超えていている場合は前記不揮発性メモリ部へのデータの書き込みを禁止する書き込み状態保持レジスタとを有してなる不揮発性半導体記憶装置において、前記第1のしきい値よりも低い値を第2のしきい値として有し、外部より前記不揮発性メモリ部にデータの書き込みが行われる際に、前記不揮発性メモリ部内の電荷の電位レベルが前記第2のしきい値を超えていているかどうか判断し、超えていている場合は前記不揮発性メモリ部へのデータの書き込みを禁止する電位状態保持レジスタを具備することを特徴とする。

【0015】また、前記電位状態保持レジスタは、前記不揮発性メモリと異なる素子により構成されていることを特徴とする。

【0016】

【作用】上記のように構成された本発明では、外部から不揮発性メモリ部にデータが書き込まれると同時に、電位状態保持レジスタに不揮発性メモリ部内の電荷の電位レベルが入力される。電位状態保持レジスタに入力された電位レベルは、一定のしきい値を超えていているかどうか判断され、それにより、データが書き込まれている状態かどうか判断されるが、電位状態保持レジスタにおけるしきい値は不揮発性メモリ部におけるしきい値よりも低い値となっているため、入力された電荷の電位レベルが不揮発性メモリ部におけるしきい値付近であっても、データが書き込まれている状態と判断される。

【0017】また、書き込み状態保持レジスタを有する既存のアーキテクチャに採用される場合、書き込み状態保持レジスタに比べて電位状態保持レジスタのしきい値が低く設定されているので、上記同様に入力された電荷の電位レベルが不揮発性メモリ部におけるしきい値付近であっても、データが書き込まれている状態と判断される。

【0018】

【実施例】以下に、本発明の実施例について図面を参照して説明する。

【0019】図1は、本発明の不揮発性半導体記憶装置の一実施例を示す内部ブロック図である。

【0020】本実施例は図1に示すように、データが書き込まれるための不揮発性メモリ部2と、アドレス及びチップセレクト信号が入力され、アドレスラッチ信号を出力するアドレス制御回路1と、外部からリード信号が入力され、不揮発性メモリ部2からデータを読み出すリード制御回路5と、外部から不揮発性メモリ部2へのライトデータあるいはイレーズ信号が入力されるライト/イレーズ制御回路6と、不揮発性メモリ部2内へのデータの書き込み状態を保持する書き込み状態保持レジスタ3と、書き込み状態保持レジスタ3に保持される不揮発性メモリ部2内へのデータの書き込み状態を保持する電位状態保持レジスタ4とから構成されている。

【0021】以下に、上述した構成における動作について説明する。

【0022】(1) リードアクセスの場合

アドレス制御回路1に対し、ADR信号線a及び/CS信号線bを介して外部よりアドレス及びチップセレクト信号が入力される。

【0023】アドレス及びチップセレクト信号がアドレス制御回路1に入力されると、不揮発性メモリ部2及び書き込み状態保持レジスタ3に対し、INADR信号線cを介してアドレスラッチ信号が送られる。

【0024】リードアクセスの場合、外部よりリード制御回路5に対して/RDS信号線fを介してリードセレクト信号が入力され、外部より入力されたアドレス信号に対応する不揮発性メモリ部2内のデータが、RDDATA信号線j及びDATA信号線gを介して外部へ出力される。この際、ライトアクセス状態ではないので、その他の信号線はノーアクティブである。

【0025】(2) 書き込み状態保持レジスタ3：“1”、電位状態保持レジスタ4：“0”的状態からのライトアクセスの場合

アドレス制御回路1に対し、ADR信号線a及び/CS信号線bを介して外部よりアドレス及びチップセレクト信号が入力される。

【0026】アドレス及びチップセレクト信号がアドレス制御回路1に入力されると、不揮発性メモリ部2、書き込み状態保持レジスタ3及び電位状態保持レジスタ4に対し、INADR信号線cを介してアドレスラッチ信号が送られる。

【0027】次に、外部から書き込み状態保持レジスタ3及びライト/イレーズ制御回路6に対し、/WE信号線d及びDATA信号線gを介してライトイネーブル及びライトデータが入力される。

【0028】書き込み状態保持レジスタ3にライトイネーブル及びアドレス信号が入力されると、不揮発性メモリ部2においては、まだデータの書き込みが行われていない状態であるため、V_{olt}信号線iを介して、書き

込み保持レジスタ3のレジスタビットの内容としてイレーズ状態”1”が、電位状態保持レジスタ4の該当するアドレスに対応するレジスタセルに報告される。この場合の電位保持レジスタ4のレジスタセルはイレーズ状態”0”である。

【0029】レジスタセルにイレーズ状態が報告されると、不揮発性メモリ部2のアドレスに対応する書き込みセルはイレーズされている状態であると判断され、以下に示す制御が行われる。

【0030】まず、外部からライト/イレーズ制御回路6及びWERDATA信号線kを介して不揮発性メモリ部2にライトデータが書き込まれると、不揮発性メモリ部2にデータが書き込まれていることを示すライト状態”0”が、書き込み状態保持レジスタ3にセットされる。

【0031】次に、電位状態保持レジスタ4に書き込み状態がセットされるが、ここで、電位状態保持レジスタ4に対する書き込み状態がセットされるまでの流れについて説明する。

【0032】まず、不揮発性メモリ部2にライトデータが書き込まれると、/INWE信号線hがアクティブになり、WERDATA信号線kを介して電位状態保持レジスタ4にライトデータが入力される。

【0033】ここで、ライト状態あるいはイレーズ状態においては、電荷の流れを操作することによって状態が判断されるため、ライトデータが入力されるということは、電位状態保持レジスタ4に電荷が注入されるということになる。

【0034】電位状態保持レジスタ4に電荷が注入されると、その電荷が何Vに帶電されているかが検出される。

【0035】そして、検出結果により、第2のしきい値である一定のスレッショルドレベルを超える場合はライト状態”1”とし、スレッショルドレベル以下の場合はイレーズ”0”とし、入力されたアドレスに対応するレジスタビットに書き込み状態がセットされる。

【0036】図2は、本発明のライト/イレーズ状態を判断するための電位領域を示す図であり、(a)は不揮発性メモリ部2における図、(b)は電位状態保持レジスタ4における図である。

【0037】図2(a)及び(b)に示すように、不揮発性メモリ部2に注入された電荷の電位レベルが第1のしきい値であるスレッショルドレベルに比べて充分高ければ(図中B領域付近)、電位状態保持レジスタ4において書き込み状態がライト状態と判断され、ライト状態”1”がセットされる。また、不揮発性メモリ部2に注入された電荷の電位レベルがスレッショルドレベルに比べて充分低ければ(図中A領域付近)、電位状態保持レジスタ4において書き込み状態がイレーズ状態と判断され、イレーズ状態”0”がセットされる。

【0038】ここで、注入された電荷の電位レベルが、スレッショルドレベル周辺(図中C領域付近)の場合における電位保持レジスタ4の動作について説明する。

【0039】スレッショルドレベル周辺では、電位レベルがイレーズ領域に存在したとしても、スレッショルド周辺であるため、不揮発性メモリ部2における書き込み状態としてはライト状態に限りなく近い状態にある。そのため、電位レベルがスレッショルドレベル周辺にある状態の不揮発性メモリ部2の書き込みセルに対して、データの書き込みを行うと二度書きと同じような状態となってしまう虞れがある。そこで、図2(b)に示すように、第2のしきい値である電位状態保持レジスタ4におけるスレッショルドレベルを、第1のしきい値である不揮発性メモリ部2におけるスレッショルドレベルよりも低く設定する。

【0040】これにより、電位レベルが図2のC領域付近に存在するような状態においては、必ずライト状態と判断される。

【0041】上述したように、不揮発性メモリ部2にデータが書き込まれると、書き込み状態保持レジスタ3における書き込み状態がライト状態”0”、電位状態保持レジスタ4における書き込み状態もライト状態”1”となり、不揮発性メモリ部2に対する二度書きが防止される。

【0042】(3) 書き込み状態保持レジスタ3：“0”、電位状態保持レジスタ4：“1”の状態からのライトアクセスの場合

アドレス制御回路1に対し、ADR信号線a及び/CS信号線bを介して外部よりアドレス及びチップセレクト信号が入力される。

【0043】アドレス及びチップセレクト信号がアドレス制御回路1に入力されると、不揮発性メモリ部2、書き込み状態保持レジスタ3及び電位状態保持レジスタ4に対し、INADR信号線cを介してアドレスラッチ信号が送られる。

【0044】次に、外部から書き込み状態保持レジスタ3及びライト/イレーズ制御回路6に対し、/WE信号線d及びDATA信号線gを介してライトインターブル及びライトデータが入力される。

【0045】このとき、入力されたアドレスに対応する書き込み状態保持レジスタ3はライト状態”0”であるため、入力アドレスに対応する不揮発性メモリ部2の書き込みセルには既にデータが書き込まれているということになる。

【0046】そのため、書き込み状態保持レジスタ3により、/INWE信号線hはアクティブ状態にされず、不揮発性メモリ部2にはデータが書き込まれない。また、書き込み状態保持レジスタ3により、/busy信号線eがアクティブ状態にされることによって、外部に

50 対しても既にデータが書き込まれているアドレスにアク

セスしてきたことが示される。

【0047】この場合の電位状態保持レジスタ4及びV_{o1t}信号線iの動きは、書き込み状態保持レジスタ3：“1”、電位状態保持レジスタ4：“0”的状態からのライトアクセスの場合と同様である。

【0048】(4) 書き込み状態保持レジスタ3：“1”、電位状態保持レジスタ4：“1”的状態からのライトアクセスの場合

この状態は、不揮発性メモリ部2の任意のアドレスに対応する書き込みセルの電荷の電位レベルが、図2のC領域付近に示すようなスレッショルドレベル周辺に存在する場合におけるものである。

【0049】この場合、電位状態保持レジスタ4により／INWE信号線hがアクティブ状態にされず、不揮発性メモリ部2にデータが書き込まれない。また、電位状態保持レジスタ4により、／bus y信号線eがアクティブ状態にされることによって、外部に対して既にデータが書き込まれているアドレスに対してアクセスしてきたことが示される。

【0050】なお、上述した実施例では本発明の要旨とする、データが書き込まれている不揮発性メモリ部への書き込みを禁止する構成についてのみ述べたが、データが書き込まれている不揮発性メモリ部であると認識した場合には、通常行われる消去動作を行い、その後に該消去動作を上記の手順によって確認し、書き込みを行うように構成してもよい。

【0051】以上説明した電荷情報の保持レジスタはメモリICの外部にある場合でも同様の効果をもたらすことができる。

【0052】

【発明の効果】本発明は、以上説明したように構成されているので以下に記載するような効果を奏する。

【0053】請求項1に記載のものにおいては、不揮発性メモリ部にデータが書き込まれているかどうかを判断するためのしきい値を不揮発性メモリ部におけるしきい値よりも低い値とする電位保持レジスタを有する構成としたため、検出された電荷の電位レベルが不揮発性メモリ部におけるしきい値付近であっても、データが書き込まれている状態と判断され、データの二度書きによる不揮発性メモリICの不安定状態、あるいは素子破壊の発

生を防止することができる。

【0054】請求項2に記載のものにおいては、既存のアーキテクチャに上記同様の電位状態保持レジスタを設ける構成としたため、新たに装置を設計することなく、請求項1に記載のものと同様の効果を得ることができる。

【0055】請求項3に記載のものにおいては、電位状態保持レジスタが、不揮発性メモリと異なる素子により構成されているため、電位状態保持レジスタそのものがデータの二度書きによって不安定な状態に陥ることを防止することができる。

【図面の簡単な説明】

【図1】本発明の不揮発性半導体記憶装置の一実施例を示す内部ブロック図である。

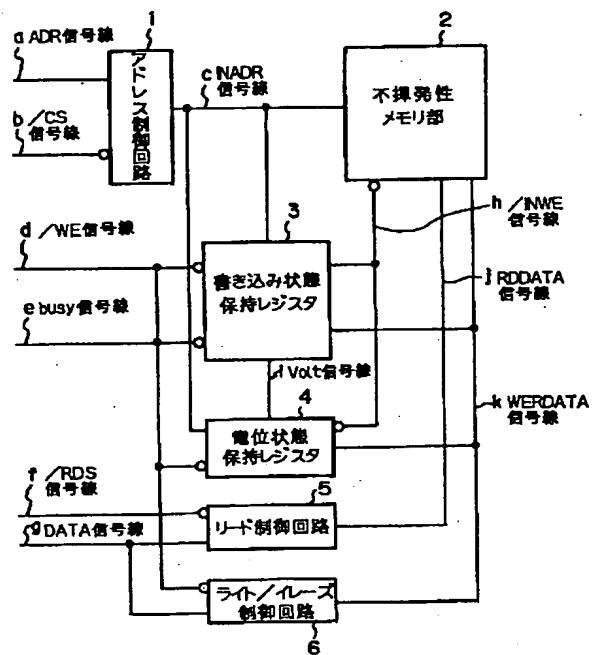
【図2】本発明のライト／イレーズ状態を判断するための電位領域を示す図であり、(a)は不揮発性メモリ部における図、(b)は電位状態保持レジスタにおける図である。

【図3】特開平5-67758に開示されているメモリICのブロック図である。

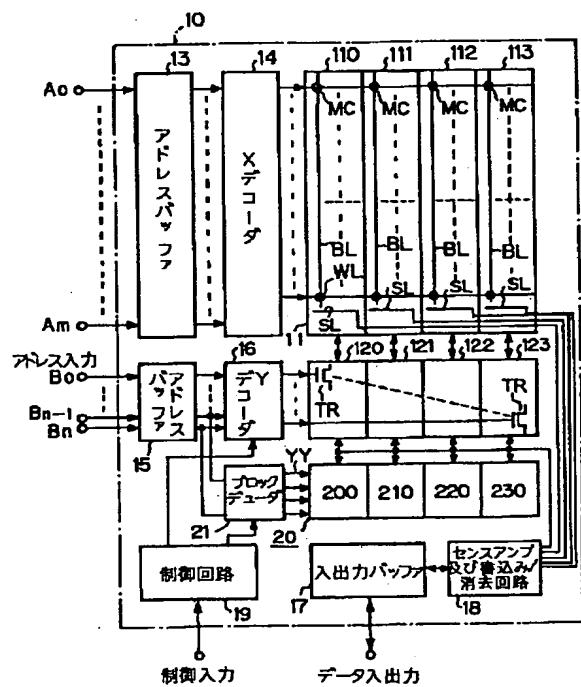
【符号の説明】

- 1 アドレス制御回路
- 2 不揮発性メモリ部
- 3 書き込み状態保持レジスタ
- 4 電位状態保持レジスタ
- 5 リード制御回路
- 6 ライト／イレーズ制御回路
- a ADR (アドレス) 信号線
- b /CS (チップセレクト) 信号線
- c INADR (内部アドレス) 信号線
- d /WE (ライトネーブル) 信号線
- e /bus y 信号線
- f /RDS (リードセレクト) 信号線
- g DATA 信号線
- h /INWE (内部ライトネーブル) 信号線
- i V_{o1t} 信号線
- j RDDATA (リードデータ) 信号線
- k WERDATA (ライト／イレーズデータ) 信号線

【 1】



【图3】



【図2】

